

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-072804

(43)Date of publication of application : 16.03.1999

(51)Int.Cl.

G02F 1/136
G02F 1/1343

(21)Application number : 10-049722

(71)Applicant : SEIKO EPSON CORP

(22)Date of filing : 02.03.1998

(72)Inventor : HIRABAYASHI YUKIYA

(30)Priority

Priority number : 09159699 Priority date : 17.06.1997 Priority country : JP

(54) SUBSTRATE FOR ELECTRO-OPTIC DEVICE, ELECTRO-OPTIC DEVICE, ELECTRONIC APPARATUS AND PROJECTION TYPE DISPLAY DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To embody a structure capable of achieving the uniformization of a polishing rate without increasing the film thicknesses of interlayer insulating films relating to the films to be polished with a substrate for a liquid crystal panel having a laminated film structure obtained by alternately and repetitively depositing the interlayer insulating films and metallic layers on a semiconductor substrate into which element regions of transistors for pixel selection are built.

SOLUTION: This substrate for the liquid crystal panel has connecting plugs 15 for conducting and connecting wiring films 10 consisting of the first metallic layer across the second interlayer insulating film 11 under a lightproof film through apertures 12a opened at the lightproof film 12 consisting of the second material layer in the pixel regions and pixel electrodes consisting of the third metallic layer across the third interlayer insulating film 13 on the lightproof film. Lower layer dummy patterns A consisting of the first metallic layer and the upper layer dummy patterns B consisting of the second metallic layer are superposed and formed on the circumferences of the input terminal pads 26 of the non-pixel regions. Since the level of the deposition surface of the third interlayer insulating film 13 on the dummy patterns A, B is raised, the excessive polishing in these parts may be eliminated. The uniform polishing rate is, therefore, obtained in CMP treatment.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(A) 發明特許權

發明人姓名

發明人住所

代理人姓名
代理人住所

代理人姓名
代理人住所

發明名稱

發明人姓名
發明人住所
代理人姓名
代理人住所

發明人姓名
發明人住所
代理人姓名
代理人住所

THIS PAGE BLANK (USPTO)

發明人姓名
發明人住所
代理人姓名
代理人住所

發明人姓名
發明人住所
代理人姓名
代理人住所

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-72804

(43) 公開日 平成11年(1999) 3月16日

(51) Int.Cl.⁶

G 0 2 F 1/136
1/1343

識別記号

5 0 0

F I

G 0 2 F 1/136
1/1343

5 0 0

審査請求 未請求 請求項の数18 O L (全 32 頁)

(21) 出願番号 特願平10-49722

(22) 出願日 平成10年(1998) 3月2日

(31) 優先権主張番号 特願平9-159699

(32) 優先日 平9(1997) 6月17日

(33) 優先権主張国 日本 (J P)

(71) 出願人 000002369

セイコーエプソン株式会社

東京都新宿区西新宿2丁目4番1号

(72) 発明者 平林 幸哉

長野県諏訪市大和3丁目3番5号 セイコ

ーエプソン株式会社内

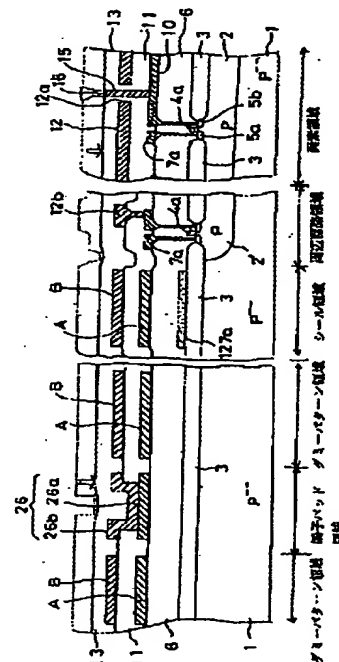
(74) 代理人 弁理士 山田 稔

(54) 【発明の名称】 電気光学装置用基板、電気光学装置、電子機器及び投写型表示装置

(57) 【要約】

【課題】 画素選択用トランジスタの素子領域を作り込んだ半導体基板の上に層間絶縁膜とメタル層を交互に繰り返して成膜した積層膜構造を有する液晶パネル用基板において、被研磨膜に係る層間絶縁膜を厚膜化せずに、研磨レートの均一化を達成できる構造を実現する。

【解決手段】 液晶パネル用基板は、画素領域において第2のメタル層からなる遮光膜12に開けた開口部12aを通して遮光膜下の第2の層間絶縁膜11を挟んで第1のメタル層からなる配線膜10と遮光膜上の第3の層間絶縁膜13を挟んで第3のメタル層からなる画素電極とを導電接続する接続プラグ15を備えている。非画素領域の入力端子パッド26の周囲に、第1のメタル層からなる下層ダミーパターンAと第2のメタル層からなる上層ダミーパターンBが積み重ね形成されている。ダミーパターンA、B上の第3の層間絶縁膜13の成膜表面レベルが底上げされるため、その部分での過研磨を解消できる。そのため、CMP処理において一様の研磨レートが得られる。



【特許請求の範囲】の請求項(1)〜(13)は、

- 【請求項1】 各画素に対応するスイッチング素子が基板上に配置される画素領域において、複数の層間絶縁膜と複数の導電層とが交互に積層された積層膜構造を有しており、該複数の導電層のうちの最上層の導電層より下層の少なくとも一層の前記層間絶縁膜が研磨処理で平坦化されて成る電気光学装置用基板であって、前記基板上的非画素領域において形成された少なくとも一端子パッドの近傍には、前記研磨処理の層間絶縁膜より下層の前記導電層からなる単層又は複層のダミーパターンを有して成ることを特徴とする電気光学装置用基板。
- 【請求項2】 請求項1において、前記端子パッドは基板縁近傍に配置された入力端子パッドであり、前記入力端子パッドの周囲に配置された前記ダミーパターンは平面的に細分化された複数の小分けダミーパターンから成ることを特徴とする電気光学装置用基板。
- 【請求項3】 請求項2において、相隣り合う前記入力端子パッドの間は非ダミーパターン領域であることを特徴とする電気光学装置用基板。
- 【請求項4】 請求項3において、前記入力端子パッドとその周囲に配置された前記小分けダミーパターンとの間隔は、配線とその近傍の前記ダミーパターンとの間隔よりも広く設定されて成ることを特徴とする電気光学装置用基板。
- 【請求項5】 請求項1において、前記端子パッドは基板内方側に配置された中継端子パッドであり、前記中継端子パッドとその周囲に配置された前記ダミーパターンとの間隔は、配線とその近傍の前記ダミーパターンとの間隔よりも広く設定されて成ることを特徴とする電気光学装置用基板。
- 【請求項6】 各画素に対応するスイッチング素子が基板上に配置される画素領域において、複数の層間絶縁膜と複数の導電層とが交互に積層された積層膜構造を有しており、該複数の導電層のうちの最上層の導電層より下層の少なくとも一層の前記層間絶縁膜が研磨処理で平坦化されて成る電気光学装置用基板であって、前記画素領域の周囲に形成されるシール領域には、前記研磨処理の層間絶縁膜よりも下層の前記導電層からなる単層又は複層のダミーパターンを有して成ることを特徴とする電気光学装置用基板。
- 【請求項7】 各画素に対応するスイッチング素子が基板上に配置される画素領域において、複数の層間絶縁膜と複数の導電層とが交互に積層された積層膜構造を有しており、該複数の導電層のうちの最上層の導電層より下層の少なくとも一層の前記層間絶縁膜が研磨処理で平坦化されて成る電気光学装置用基板であって、前記画素領域の周囲に形成されるシール領域の外側の外周領域には、前記研磨処理の層間絶縁膜よりも下層の前記導電層からなる単層又は複層のダミーパターンを有し

て成ることを特徴とする電気光学装置用基板。

- 【請求項8】 請求項6又は請求項7において、前記ダミーパターンは、前記スイッチング素子の制御配線層と同層で形成された孤立パターンの上に積み足されて成ることを特徴とする電気光学装置用基板。
- 【請求項9】 各画素に対応するスイッチング素子が基板上に配置される画素領域において、複数の層間絶縁膜と複数の導電層とが交互に積層された積層膜構造を有しており、該複数の導電層のうちの最上層の導電層より下層の少なくとも一層の前記層間絶縁膜が研磨処理で平坦化されて成る電気光学装置用基板であって、前記画素領域の周辺に配置され前記スイッチング素子に信号を供給する駆動回路の近傍領域には、前記研磨処理の層間絶縁膜よりも下層の前記導電層からなる単層又は複層のダミーパターンを有して成ることを特徴とする電気光学装置用基板。
- 【請求項10】 各画素に対応するスイッチング素子が基板上に配置される画素領域において、複数の層間絶縁膜と複数の導電層とが交互に積層された積層膜構造を有しており、該複数の導電層のうちの最上層の導電層より下層の少なくとも一層の前記層間絶縁膜が研磨処理で平坦化されて成る電気光学装置用基板であって、前記画素領域の周囲に形成されるシール領域の隅部領域には、該シール領域の辺領域又は当該隅部の周辺領域よりも密度の低い分布であり、前記研磨処理の層間絶縁膜よりも下層の前記導電層からなる単層又は複層のダミーパターンを有して成ることを特徴とする電気光学装置用基板。
- 【請求項11】 各画素に対応するスイッチング素子が基板上に配置される画素領域において、複数の層間絶縁膜と複数の導電層とが交互に積層された積層膜構造を有しており、該複数の導電層のうちの最上層の導電層より下層の少なくとも一層の前記層間絶縁膜が研磨処理で平坦化されて成る電気光学装置用基板であって、前記画素領域の周囲に形成されるシール領域には、その隅部領域を除き、前記研磨処理の層間絶縁膜よりも下層の前記導電層からなる単層又は複層のダミーパターンを有して成ることを特徴とする電気光学装置用基板。
- 【請求項12】 各画素に対応するスイッチング素子が基板上に配置される画素領域において、複数の層間絶縁膜と複数の導電層とが交互に積層された積層膜構造を有しており、該複数の導電層のうちの最上層の導電層より下層の少なくとも一層の前記層間絶縁膜が研磨処理で平坦化されて成る電気光学装置用基板であって、前記基板上的非画素領域において前記研磨処理の層間絶縁膜よりも下層の前記導電層を含む複数の擬似画素凹凸パターンを有して成ることを特徴とする電気光学装置用基板。
- 【請求項13】 請求項15において、前記擬似画素凹凸パターンは前記基板上的2次元方向に繰返し展開形

成されて成ることを特徴とする電気光学装置用基板。

【請求項14】請求項12又は請求項13において、前記スイッチング素子に電氣的に接続する第1の前記導電層と前記研磨処理の層間絶縁膜の上に成膜された上層の前記導電層とが電氣的に接続されており、前記第1の導電層と前記上層の前記導電層との間に第2の前記導電層を含み、前記第1の導電層からなる第1のダミーパターン及び前記第2の導電層からなる第2のダミーパターンのいずれか又は両者の積み重ねであることを特徴とする電気光学装置用基板。

【請求項15】請求項17において、前記擬似画素凹凸パターンは少なくとも擬似ゲート線及び擬似データ線によって構成されて成ることを特徴とする電気光学装置用基板。

【請求項16】請求項1乃至請求項15のいずれか一項に規定する電気光学装置用基板とこれに対向する透明基板との間隔に電気光学材料を挟持して成ることを特徴とする電気光学装置。

【請求項17】請求項16に規定する電気光学装置を表示部に用いて成ることを特徴とする電子機器。

【請求項18】請求項16に規定する電気光学装置をライトバルブに用いて成ることを特徴とする投写型表示装置。

【発明の詳細な説明】
【00001】本発明は、反射型液晶パネル用基板等の電気光学装置用基板に関し、特に、画素選択素子領域の上に画素領域を積層した電気光学装置用基板に関する。
【00002】本発明は、図17に示すように、システム光軸 S_0 に沿って配置した光源部110、インテグレートレンズ120、及び偏光変換素子130から概略構成される偏光照明装置100と、偏光照明装置100から射出されたS偏光束をS偏光束反射面201により反射させる偏光ビームスプリッタ200と、偏光ビームスプリッタ200のS偏光束反射面201から反射された光のうち青色光(B)の成分を分離するダイクロイックミラー412と、分離された青色光(B)を変調する反射型液晶ライトバルブ300Bと、ダイクロイックミラー412によって青色光が分離された後の光束のうち赤色光(R)の成分を反射させて分離するダイクロイックミラー413と、分離された赤色光(R)を変調する反射型液晶ライトバルブ300Rと、ダイクロイックミラー413を透過する残りの緑

色光(G)を変調する反射型液晶ライトバルブ300Gと、3つの反射型液晶ライトバルブ300R、300B、300Gにて変調された光を光路逆進させてダイクロイックミラー413、412、偏光ビームスプリッタ200にて合成し、この合成光をスクリーン600へ投写する投写レンズからなる投写光学系500とから構成されている。各反射型液晶ライトバルブ300R、300B、300Gは、それぞれ図18の断面図に示すような反射型液晶パネル30が用いられている。

【00003】この反射型液晶パネル30は、ガラス又は石英セラミックス等からなる支持基板32上に接着剤で固着された反射型液晶パネル用基板31と、この反射型液晶パネル用基板31上をシール材36で枠形状に囲み、間隔をおいて対向配置した透明導電膜(ITO)からなる対向電極(共通電極)33を持つ光入射側のガラス基板35と、反射型液晶パネル用基板31とガラス基板35との間のシール材36で封止された隙間内において充填された周知のTN(Twisted-Nematic)型液晶又は電圧無印加状態で液晶分子が略垂直配向するSH(Super Homotropic)型液晶37とを有している。

【00004】この反射型液晶パネル30に用いられる反射型液晶パネル用基板31の拡大した平面レイアウトを図19に示す。反射型液晶パネル用基板31は、図18の断面図に示す多数の画素電極14がマトリクス状に配置された矩形的画素領域(表示領域)20と、画素領域20の左右辺の外側に位置し、ゲート線(走査電極、行電極)を走査するゲート線駆動回路(Yドライバ)22R、22Lと、画素電極14の上辺の外側に位置し、データ線(信号電極、列電極)についてのプリチャージ及びテスト回路23と、画素電極14の下辺の外側に位置し、データ線に画像データに応じた画像信号を供給する画像信号サンプリング回路24と、ゲート線駆動回路22R、22L、プリチャージ及びテスト回路23、及び画像信号サンプリング回路24の外側には前述したシール材36が位置決めされる枠形状のシール領域27と、下側端に沿って配列されており、異方性導電膜(ACF)38を介してフレキシブルテープ配線39に固着接続される複数の端子パッド26と、この端子パッド26の列とシール領域27との間に位置し、データ線に対し画像データに応じた画像信号を供給するデータ線駆動回路(Xドライバ)21と、そのデータ線駆動回路21の両脇に位置し、ガラス基板35の対向電極33に給電するための中継端子パッド(いわゆる銀点)29R、29Lとから構成されている。

【00005】なお、シール領域27の内側に位置する周回路(ゲート線駆動回路22R、22L、プリチャージ及びテスト回路23、及び画像信号サンプリング回路24)にも、光が入射するのを防止するため、最上層の画素電極14と同層の遮光膜25(図18参照)が設けられている。

【0011】データ線7、ソース電極配線7a及び中継配線10を構成する第1の金属層の上には第2の層間絶縁膜11が形成され、この第2の層間絶縁膜11上にはアルミニウムを主体とする第2の金属層が形成され、配線12bが下地層として形成されており、更に、端子パッド26の領域では第1の金属層からなる下層膜6a、第2の金属層からなる上層膜26bが積み重ね形成されているため、第3の層間絶縁膜13の成膜直後で

し、このような画素毎の底上げのためだけに中間メタル層１２【００２】にしかむ厚い第３の層間絶縁膜１３を形成層を成膜すると、層間絶縁膜の成膜工程も追加せざるを得ない。また、研磨前の層間絶縁膜の表面起伏が抑えられず、研磨が却って深くなり、アスペクト比が大きくなるため、れてると、却ってCMP処理の初期研磨レートが低く、高融点金属で接続プラグ１５を構成する高融点金属でコンタクトホールなり、層間絶縁膜１３の表面を鏡面様に平坦化するため、メタル１６を埋め難くなる。特に、接続プラグ１５は第２に必要な研磨時間が長くなり、砥液の消費も増大する。従って、層間絶縁膜１１と遮光膜１５を貫通してから第３の層に従って、画素領域２０の画素毎にダミーパターンを成膜し、層間絶縁膜１３を貫通して画素電極１４に繋げるための飛する構造は、製造プロセス上のデメリットがあり、製造コストが越え層間導電部であり、コンタクトホール１６自身はコスト高を招く。

【0.01.9】図2.2に示すように、端子パッド2.6の領域ではスポット状孤立高の端子パッド2.6が離散的に列

のため、画素領域の平坦化も一層良好となり、対向基板で、非ダミーパターン領域とするのは、このような危険性の

で成ることが好ましい。また、必要があれば、端子パッドを形成するではなく、基板上の非画素領域において前記研磨

処理の層間絶縁膜よりも下層の前記導電層を含む複数の擬似画素凹凸パターンを有して成ることを特徴とする。

【0045】このような擬似画素凹凸パターンを有する基板では、研磨処理前の層間絶縁膜の画素領域以外の表面にも、画素の表面凹凸模様と略類似の表面凹凸模様が形成されているため、研磨レートが初期から基板のどの部分でも略等しくなり、少なくとも画素領域及びシール領域では高精度の表面平坦性を実現できる。

【0046】複数の擬似画素凹凸パターンを非画素領域に非規則的に配置するよりも、基板上の2次元方向に繰り返し展開形成し、空間規則性を持たせる方が好ましい。画素領域に画素凹凸パターンがマトリクス状などの空間規則性を有していることに対応させるためである。

【0047】画素領域及びシール領域での表面平坦性が顕著になる。

【0048】この擬似画素凹凸パターンは、前記第1の導電層からなる第1のダミーパターン及び前記第2の導電層からなる第2のダミーパターンのいずれか又は両者の積み重ねで構成できるが、層間絶縁膜のパターンをも含ませることにより擬似度合いを一層高めることができる。

【0049】そして、この擬似画素凹凸パターンとして、少なくとも擬似ゲート線及び擬似データ線で構成することが好ましい。これらが画素の凹凸の顕著な(代表的)部分であり、また画素領域の凹凸規則性に最も関与するからである。

【0048】なお、上記の電気光学装置用基板を用いて、電気光学装置が組立られるが、このような電気光学装置は各種電子機器の表示部に用いるに適している。例えば、投写型表示装置のライトバルブに好適である。

【0049】

【発明の実施の形態】次に、本発明の各実施形態を添付図面に基いて説明する。

【0050】〔実施形態1〕図1は本発明の実施形態1に係る反射型液晶パネルの反射型液晶パネル用基板のレイアウト構成例を示す平面図、図2は図1中のB-B'線に沿って切断した状態を示す切断図である。

【0051】図1に示す本例の反射型液晶パネル用基板131は、従来の液晶パネル用基板を示す図18及び図19の基板31と同様に、図18に示す画素電極14がマトリクス状に配置された矩形の画素領域(表示領域)20と、画素領域20の左右辺の外側に位置し、ゲート線(走査電極、行電極)を走査するゲート線駆動回路(Yドライバ)22R、22Lと、画素電極14の上辺の外側に位置し、データ線(信号電極、列電極)についてのプリチャージ及びテスト回路23と、画素電極14の下辺の外側に位置し、データ線に画像データに応じた画像信号を供給する画像信号サンプリング回路24と、ゲート線駆動回路22R、22L、プリチャージ及びテスト回路23並びに画像信号サンプリング回路24の外側には前述したシール材36(図18参照)が位置決め

されるシール領域127と、下側端に沿って配列されており、異方性導電膜を介してフレキシブルテープ配線に固着接続される複数の入力端子パッド26と、この端子パッド26の列とシール領域127の下辺との間に位置し、画像信号サンプリング回路24にサンプリング信号を供給するデータ線駆動回路(Xドライバ)21と、そのデータ線駆動回路21の両脇に位置し、入力端子パッド26から液晶交流駆動の振幅中心電圧を図18に示すようにガラス基板35の対向電極33に給電するための中継端子パッド(いわゆる銀点)29R、29Lとから構成されている。ゲート線駆動回路22R、22Lとデータ線駆動回路21は各々シフトレジスタを有し、シフトレジスタでのシフトデータの転送に応じて、走査信号をゲート線に、サンプリング信号を画像信号サンプリング回路24に各々供給する。信号サンプリング回路24はサンプリング信号を受けて画像信号をデータ線に供給する。

【0052】特に、本例では、画素領域20を取り囲む枠形状(額縁状)のシール領域127はハッチングで示すような孤立した連続拡張面(いわゆるベタ)のダミーパターン領域となっている。また、入力端子パッド26、中継端子パッド29R、29Lやデータ線駆動回路21の周囲もハッチングで示すような連続拡張面のダミーパターン領域となっている。

【0053】このパネル基板131の画素領域20の平面構造及び断面構造は図20及び図21に示す構造と同一である。即ち、図2に示すように、大形サイズ(約200mm角)で単結晶シリコンのP型半導体基板(N⁺型半導体基板でも良い)1の表面(主面)側にはP型ウェル領域2が形成されており、その上にはフィールド酸化膜(いわゆるLOCOS)3が形成されている。このP型ウェル領域2は、例えば画素数768×1024とこのような画素がマトリクス状に配置された画素領域20の共通ウェル領域として形成されており、周辺回路(ゲート線駆動回路22R、22L、プリチャージ及びテスト回路23、画像信号サンプリング回路24及びデータ線駆動回路21)を構成する素子を作り込む部分のP型ウェル領域2'とは分離されている。

【0054】フィールド酸化膜3の1画素毎の区画領域には2つの開口部が形成されており、一方の開口部の内側中央にゲート絶縁膜4bを介して形成されたポリシリコン又はメタルシリサイド等からなるゲート電極4aと、このゲート電極4aの両側のP型ウェル領域2の表面に形成されたN⁺型ソース領域5a、N⁺型ドレイン領域5bとはスイッチング素子、即ち画素選択用のNチャンネル型MOSFET(絶縁ゲート型電界効果トランジスタ)を構成している。図20に示すように、行方向に隣接する複数の画素の各ゲート電極4aは走査線方向(画素行方向)に延在してゲート線4を構成している。

【0055】図2では不図示であるが、図21に示す如く、他方の開口部の内側のP型ウェル領域2の表面に形

成された行方向共通のP型容量電極領域8と、このP型容量電極領域8の上に絶縁膜(誘電膜)9bを介して形成されたポリシリコン又はメタルシリサイド等からなる保持電極9aとは画素選択用MOSFETを介して画素電極14に供給された画像信号を保持するための保持容量(蓄積容量とも言う)Cを構成している。

【0056】ここに容量電極9aは画素選択用MOSFETのゲート電極4aを構成するポリシリコン又はメタルシリサイド層の成膜プロセスを援用して形成できる。また容量電極9a下の絶縁膜(誘電膜)9bもゲート絶縁膜4bを構成する絶縁膜成膜プロセスを援用して形成できる。絶縁膜9b、4bは熱酸化法で400~800Å程度の膜厚である。容量電極9a、ゲート電極4aは、ポリシリコン層を1000~2000Å程度の厚さで形成し、その上にMo又はWのような高融点金属のシリサイド層を1000~3000Å程度の厚さに重ねた複層構造である。ソース、ドレイン領域5a、5bは、上記のゲート電極4aをマスクとじてその両側の基板表面にN型不純物をイオン打ち込みで自己整合的に注入して形成される。

【0057】P型容量電極領域8は、例えば、専用のイオン打ち込みと熱処理(ドライブイン)によるドーピング処理で形成でき、ゲート電極形成工程前にイオン注入を施しても良い。つまり、絶縁膜9bの形成後にPウェル2と同型の不純物を注入し、P型ウェル2の表面はその深部よりも高不純物濃度領域に成し、低抵抗層を形成する。P型ウェル2の好ましい不純物濃度は $1 \times 10^{17} \text{ cm}^{-3}$ 以下で、 $1 \times 10^{16} \sim 5 \times 10^{16}$ 程度が望ましい。ソース、ドレイン領域5a、5bの好ましい表面不純物濃度は $1 \times 10^{20} \sim 3 \times 10^{20} \text{ cm}^{-3}$ 。P型容量電極領域8の好ましい表面不純物濃度は $1 \times 10^{18} \sim 5 \times 10^{19} \text{ cm}^{-3}$ であるが、保持容量Cを構成する絶縁膜9bの信頼性及び耐圧の観点からは、 $1 \times 10^{18} \sim 1 \times 10^{19} \text{ cm}^{-3}$ が望ましい。

【0058】ゲート電極4a及び容量電極9aの上には第1の層間絶縁膜6が形成され、この絶縁膜6上にはアルミニウムを主体とする第1の導電層(以下、第1のメタル層と言う)が形成されている。第1のメタル層には、列方向に延在するデータ線7(図20参照)、データ線7から櫛歯状に突出してコネクタホール6aを介してソース領域4bに導電接触するソース電極配線7a、コネクタホール6bを介してドレイン領域5bに導電接触すると共にコネクタホール6cを介して容量電極9aに導電接触する中継配線10とが含まれる。

【0059】ここに、第1の層間絶縁膜6は、例えばH₂O膜(高温CVD法により形成される酸化シリコン膜)を1000Å程度堆積した上に、BPSG(ボロン及びリンを含むシリケートガラス膜)を8000~10000Å程度の厚さで堆積して形成される。ソース電極配線7a及び中継配線10を構成する第1のメタル層

は、例えば下層からTi/TiN/Al/TiNで積層された4層構造とされる。

【0060】最下層のTiは膜厚が100~600Å程度、2層目のTiN層は1000Å程度、3層目のAl層は4000~10000Å程度、最上層のTiN層は300~600Å程度とされる。

【0061】この第1のメタル層の上には第2の層間絶縁膜11が形成され、この第2の層間絶縁膜11上にはアルミニウムを主体とする第2の導電層(以下、第2のメタル層と言う)が形成されている。この第2のメタル層は画素領域2の大部分を覆い、隣接する画素電極1との間隔部を遮光する遮光膜12が含まれる。なお、この遮光膜12を構成する第2のメタル層は、画素領域2の周囲に形成される周辺回路(ゲート線駆動回路22、データ線23、フリチャージ及びテスト回路23、画像信号サンプリング回路24、及びデータ線駆動回路21)の形成において素子間の接続用配線12b(図2参照)としても用いられる。

【0062】ここに第2の層間絶縁膜11は、例えばTEOS(テトラエチルオルソシリケート)を材料とし、プラズマCVD法により形成される酸化シリコン膜(以下、TEOS膜と称する)を5000~6000Å程度堆積した上に、SOG膜(スピン・オン・ガラス膜)を堆積し、それをエッチバックで削ってから更にその上に第2のTEOS膜を2000~5000Å程度の厚さに堆積して形成される。

【0063】遮光膜12等を構成する第2のメタル層は、第1のメタル層と同様にしても良く、例えば下層からTi/TiN/Al/TiNで積層された4層構造とされる。

【0064】最下層のTiは膜厚が100~600Å程度、2層目のTiN層は1000Å程度、3層目のAl層は4000~10000Å程度、最上層のTiN層は300~600Å程度とされる。

【0065】遮光膜12の中継配線10に対応する位置にはプラグ貫通用開口部12aが開けられている。遮光膜12の上には第3の層間絶縁膜13が形成され、この第3の層間絶縁膜13の上に略1画素に対応した矩形状の反射電極としての画素電極14が形成されている。ここに、第3の層間絶縁膜13も、第2の層間絶縁膜11と同様にしても良く、TEOS膜を3000~6000Å程度堆積した上に、SOG膜を堆積し、それをエッチバックで削ってから更にその上に第2のTEOS膜を16000~24000Å程度の厚さに堆積して形成される。或いは、TEOS膜の間にSOG膜を堆積せず、TEOS膜のみで第3の層間絶縁膜を構成することも可能である。このときの膜厚は16000~24000Å程度が好ましい。また、TEOS膜の下に窒化シリコン膜を形成したり、TEOS膜の上に窒化シリコン膜を形成したりすることにより、耐湿性を向上させた構成にして

も良い。なお、窒化シリコン膜が上層となる場合はこの窒化シリコン膜を堆積する前にT.E.O.S膜をCMP法等により平坦化する。窒化シリコン膜そのものをCMP法等により平坦化することになる。

【0066】遮光膜12の開口部12aに対応してその内側に位置するように、第3の層間絶縁膜13、第1の層間絶縁膜11を貫通するコンタクトホール16が設けられている。このコンタクトホール16内にはタンダステン等の高融点金属をCVD法により埋め込んだ後、第3の層間絶縁膜13の上に堆積した高融点金属層と第3の層間絶縁膜13の表面側をCMP(化学的機械研磨)法で削り込んで鏡面様に平坦化する。このときの層間絶縁膜13の残りの膜厚は、最も薄い部分で約400.0Å→1000Åとなるように研磨量を調整する。

【0067】次いで、例えば低温スパッタ法によりアルミニウム層を300~5000Å程度の厚さに成膜し、パターンニングにより一辺が15~20μm程度の矩形形状の画素電極14を形成する。高融点金属の接続プラグ(層間導電部)15は、遮光膜12のメタル層1層分を飛び越し中継配線10と画素電極14とを導通させている。なお、接続プラグ15の形成方法としては、CMP法で第3の層間絶縁膜13を平坦化した後、コンタクトホールを開口し、その中にタンダステン等の高融点金属を埋め込む方法もある。また、第2のメタル層12の開口部12aを大きくし、この開口部12a内に第2のメタル層12からなる第2の中継配線を例えば矩形形状に形成し、第1の中継配線10とこの第2の中継配線を接続し、第2の中継配線と画素電極14とを接続プラグ15を介して接続するようにしても良い。そして、画素電極14の上には厚さ500~2000Å程度の酸化シリコン等のパッシベーション膜17が全面的に形成されている。なお、パッシベーション膜17上には、液晶パネルを構成する際に配向膜が全面に形成され、ラビング処理が施される。本例では、画素電極14が第3の導電層(以下、第3のメタル層と言う)により形成されるが、メタル層をより多層化できるプロセスで基板形成する場合、より上層で形成しても良い。いずれにしても、画素電極14は複数のメタル層の最上層で形成される。

【0068】なお、画素領域20を覆うパッシベーション膜17としては上述のように酸化シリコン膜が用いられるが、周辺回路領域、シール領域、スクライプ部では2000~10000Å程度の厚さの窒化シリコン膜が用いられる。パッシベーション膜17の上に誘電体ミラミナ一膜を成膜しても良い。

【0069】図1に示すように、矩形の半導体基板1の大部分を占める画素領域20の周りには枠状にシール領域127が取り囲んでいる。このシール領域127は、画素領域20と液晶が封入されない非画素領域(周辺回路領域、端子パッド領域、スクライプ領域)との境界領域であるが、本例ではシール領域127内に周辺回路の

一部(ゲート線駆動回路22R、22L、プリチャージ回路23、画像信号サンプリング回路24)が含まれており、データ線駆動回路21のみがシール領域127の外側に配置されている。なお、データ線駆動回路21をシール領域127の内側に配置しても良いこととは言う迄もない。

【0070】そして、本例のシール領域127の断面構造は、図2に示す如く、フィールド酸化膜3上にゲート電極4aとは孤立したポリシリコン又はメタルシリサイド等から成る連続拡張面のパターン127aと、第1のメタル層からなる孤立した連続拡張面の下層ダミーパターンAと、第2のメタル層からなる孤立した連続拡張面上層ダミーパターンBとが含まれている。パターン127aはゲート電極4aの形成プロセスを援用して形成できる。またダミーパターンA、Bも第1のメタル層と第2のメタル層でのプロセス援用で形成できる。これらパターン127a、ダミーパターンA、Bの層厚の分だけ、第3の層間絶縁膜13の成膜直後ではその表面レベルが一樣に底上げされており、画素領域や周辺回路領域の表面レベルに略等しくなっている。

【0071】シール領域127の外側に配されたデータ線駆動回路21の周囲は勿論のこと、図4~図6及び図9のハッチングで示す如く、中継端子パッド29R、29Lや入力端子パッド26の領域の周囲は配線領域を除くパターン領域となっている。即ち、本例の入力端子パッド26も第1のメタル層からなる下層26aと第2のメタル層からなる上層26bとを積み重ねた構造となっているが、ダミーパターン領域の断面構造においては、フィールド酸化膜3上の第1の層間絶縁膜6上に形成された第1のメタル層からなる孤立した連続拡張面の下層ダミーパターンAと、第2の層間絶縁膜11上に形成された第2のメタル層からなる孤立した連続拡張面上層ダミーパターンBとが含まれている。これらのダミーパターンA、Bもメタル層のプロセス援用で形成できる。そして、これらダミーパターンA、Bの層厚の分だけ、第3の層間絶縁膜13の成膜直後ではその表面レベルが積み足されており、その積み足効果が近傍領域へ反映するため、入力端子パッド26の真上部分のレベルは、画素領域や周辺回路領域の表面レベルと略等しくなっている。

【0072】また、図4及び図5に示す如く、シール領域127下辺とデータ線駆動回路21との間の挟間領域Xにおいてもデータ線駆動回路21から延び出た複数の配線と隣間に孤立縦長の配線間ダミーパターンMが敷き詰められている。この配線間ダミーパターンMもメタル層を援用して形成される。

【0073】しかし、入力端子パッド26の形成法は、下層26aの上の第2の層間絶縁膜11に開けた大きな開口に上層26bを埋め込むものであるから、上層26b

【0077】本例のダミーパターン領域の平面レイアウトは図9に示すように、前述した基板の左右端側のダミーパターンは、図1のハッチングで示すように、シール領域12の両端部から N_{21} と N_{22} は入力端子パッド26の位置まで及んで形成され、図7の外側のうちデータ線駆動回路21、信号配線、電源配線が形成されており、左右の最外側の入力端子パッド26の配線は、図1のハッチングで示すように、図7の外側のうちデータ線駆動回路21、信号配線、電源配線、入力端子パッド26、中継端子パッド29R、29Lの引出し部262との間の空き領域には孤立した小分けダミーパターン29Jを除いて余すことなく略全面に敷き詰められている。また、ダミーパターン領域にはダミーパターン S_{21} が配置されている。また、ダミーパターン領域には、データ線駆動回路（シフトレジスタとその出力に基

描っているが、ダミーパターン N_R 、 N_L の先端側の基板絶縁膜13の表面には孤立した小分けダミーパターン $S_0 \sim S_3$ が配置されている。なお、小分けダミーパターンの平面形状は、矩形(正方形、長方形)に限らず種々の形状(三角形、多角形、曲線形など)を選択できる。例えば、六角形(正六角形)状の小分けダミーパターンを蜂の巣状に敷き詰めて配置しても良い。【0080】複数の入力端子パッド26は図18に示すように、如く異方性導電膜(ACF)38を介してフレキシブルテープ配線39に熱圧着で接続される。図6の破線は異方性導電膜38の占める領域の縁を示す。フレキシブルテープ配線39は、図7及び図8に示す如く、絶縁性の基板上にフレキシブルテープ39aと、その上に被着された複数の本のスライプ状の導電線39bとからなる。このフレキシブルテープ39aの端部と入力端子パッド26の列ととの間には異方性導電膜38が挟まれている。

【0081】異方性導電膜38は粒径 $5 \sim 10 \mu m$ 程度の導電性粒子38aと接着用絶縁樹脂38bとからなる。その膜厚が $2 \sim 10 \mu m$ 程度にまで押し潰されるまで、フレキシブルテープ39aを圧着する。端子パッド26とフレキシブルテープ配線39の導電線39bとは押し潰されて離散的に分布する導電性粒子38aを介して導電接続するため、異方性導電膜38はその厚み方向にのみ導電性を有している。なお、図7及び図8でも入力端子パッド26はその数を減らして図示されている。【0082】入力端子パッド26の周囲はダミーパターン領域(ダミーパターンA、B)を積み足すと前述したように入力端子パッド26上の成膜直後の第3の層間絶縁膜13の表面レベルが孤立高ではなく画素領域20のそれと略同等になるので、研磨工程では入力端子パッド26の領域でも初期研磨レートが下がり、入力端子パッド26自身の研磨を防止できると共に、第3の層間絶縁膜13の薄膜化を実現できる。ここで、仮に各入力端子パッド26の周囲にダミーパターン領域が連続一面に形成されていると、異方性導電膜38を熱圧着する場合、導電性微粒子38aとダミーパターンを介して入力端子パッド26間がショートする虞れがある。

【0083】しかし、本例では、入力端子パッド26間にはダミーパターンを設けず、非ダミーパターン領域Eとなっており、入力端子パッド26の周囲は小分けダミーパターン $S_0 \sim S_3$ で敷き詰められている。このため、入力端子パッド26間のショートを防止できる。入力端子パッド26と小分けダミーパターン $S_0 \sim S_3$ との間隔は、配線Lとダミーパターン S_0 との間隔(約 $5 \mu m$)よりも広く設定されている。異方性導電膜38を介したショートを防止するためである。

【0084】なお、入力端子パッド26の領域において、成膜直後の第3の層間絶縁膜13の孤立高を更に低減するため、入力端子パッド26間にもダミーパターンを形

成しても良いが、入力端子パッド26間のショートを防止するためには、入力端子パッド26間に形成されるダミーパターンも小分けダミーパターンとする。小分けダミーパターンの小分け数を増やす程に、ショート確率はより僅少になる。ただ、小分け数が増えれば増すほど、ダミーパターン領域上の成膜直後の第3の層間絶縁膜13の表面に起伏が顕在化するため、適度の数を選定することが好ましい。小分けダミーパターンの平面形状は、矩形(正方形、長方形)に限らず種々の形状(三角形、多角形、曲線形など)を選択できる。例えば、六角形(正六角形)状の小分けダミーパターンを蜂の巣状に敷き詰めて配置しても良い。

【0085】図9は中継端子パッド29Rの周辺を示す部分平面図である。中継端子パッド29R(29L)は、データ線駆動回路21の脇で最外側の端子パッド26からの配線(液晶の交流駆動における液晶印加電圧の極性反転の基準となる電位の供給配線)Lに繋がった矩形パッドであり、銀ペーストを着けてガラス基板35の対向電極33に導電接続される。この中継端子パッド29R(29L)の周囲にはダミーパターン N_R 、 N_L が形成されている。このため、中継端子パッド29R(29L)においても端子パッド26と同様に、成膜直後の第3の層間絶縁膜13の表面レベルを均一化できる。本例では中継端子パッド29Rとダミーパターン N_R との間隔を例えば $70 \mu m$ に設定しており、銀ペーストを付着させた際にはみ出しが多少起こっても、ショートし難い間隔に設定してある。即ち、中継端子パッド29Rとダミーパターン N_R との間隔は、配線とその近傍のダミーパターンとの間隔より広く設定されている。なお、中継端子パッド29R周囲のダミーパターンも小分けダミーパターンとしても良い。

【0086】図10は、実施形態1において第3の層間絶縁膜13を膜厚約 2400 \AA で成膜した後、その画素領域20の中心部の第3の層間絶縁膜13の残膜厚が約 1200 \AA になるまでCMP処理を施した液晶パネル用基板131における研磨後の第3の層間絶縁膜13の膜厚分布を示す等膜厚線図である。また、図24中のプロット△印を連ねるグラフは図10中のa-a'線に沿うシール左辺縦方向の残膜厚の分布を示し、図25中のプロット△印を連ねるグラフは図10中のb-b'線に沿う画素中央縦方向の残膜厚の分布を示し、図26中のプロット△印を連ねるグラフは図10中のc-c'線に沿うシール上辺横方向の残膜厚の分布を示し、図27中のプロット△印を連ねるグラフは図10中のd-d'線に沿う画素中央横方向の残膜厚の分布を示し、図28中のプロット△印を連ねるグラフは図10中のe-e'線に沿う画素中央横方向の残膜厚の分布を示す。

【0087】これらの図から判るように、画素領域20及びシール領域127での最大膜厚差は約 2720 \AA であり、等厚線の間隔(膜厚差 1000 \AA)が図23のそ

れに比し相当広くなっている。画素領域20の平坦性が四隅部127Cにおける第2のメタル層のダミーパターン2倍以上も改善されている。シール領域127は矩形状の連続拡張面である。このため、シール領域127のシール四隅部127Cにおける研磨前の第3の層間絶縁膜13の表面は図12の点線で示すように離散的な複数の小分けダミーパターンaによる凹凸が反映した面粗さを呈している。

【0088】基板(チップ)全体での最大膜厚差は約200Åに抑制されている。シール領域127の上辺の中央部が低い勾配は略1/2以下に減少し、シール領域127の下辺の中央部が低い勾配は略1/4以下にも減少している。更に、シール領域127の左右辺は上隅部が最も薄く、中央部が高い勾配が解消されており、勾配は略1/4以下にも減少している。このような顕著な改善は、画素領域20や周辺回路領域の外部の殆どの領域において、連続拡張面(ベタ)のダミーパターン領域(ダミーパターンA、B)が数き詰められているためである。

【0089】しかし、画素領域20の最大膜厚差を100Å以下に抑えることが望まれる。画素領域20の膜厚分布には画素中央縦線が膜厚の谷線となっており、入力端子パッド26の領域における中央部の膜厚が最大膜厚(約14500Å)となっている。これは、図23の従来例とは逆に入力端子パッド26の領域が研磨不足になったものと考えられる。

【0090】(実施形態2) 図11は本発明の実施形態2に係る反射型液晶パネル用基板においてシール領域127の近辺を示す部分平面図、図12は図11中のC-C線に沿って切断した状態を示す断面図である。なお、図11において、散点模様の領域は第1のメタル層を、一様斜線のハッチング領域は第2のメタル層をそれぞれ表し、第3のメタル層は不図示である。また、以下に説明する内容以外の構成は、実施形態1に係る反射型液晶パネル用基板と同様である。

【0091】本例の反射型液晶パネル用基板231も実施形態1の反射型液晶パネル用基板131と略同様の構成を有しており、画素領域20を取り囲むシール領域127は孤立した連続拡張面(いわゆるベタ)のダミーパターン領域(第1のメタル層のダミーパターンAと第2のメタル層のダミーパターンB)となっていると共に、入力端子パッド26、中継端子パッド29R、29Lやデータ線駆動回路21の周囲も連続拡張面のダミーパターン領域(第1のメタル層のダミーパターンAと第2のメタル層のダミーパターンB)となっている。実施形態1のダミーパターン形成態様と異なる点は、シール領域127のシール四隅部127Cの矩形領域内では、第1のメタル層のダミーパターンは、シール辺部の配線間、間に数き詰めたダミーパターンAの様な広い連続拡張面(いわゆるベタ)ではなく、複数の小分けダミーパターンaの分散的集合となっている。即ち、矩形又は短冊状の小分けダミーパターンaの存在はその長辺部分(縦方向部分)で初期研磨レートが最も速いのでシール上下辺隔においてそれぞれ縦横方向に揃えて分散的に数き詰められており、50%以下のパターン密度になっている。小分けダミーパターンaの存在はその長辺部分(縦方向部分)で初期研磨レートが最も速いのでシール左右辺方向の平坦化が、入力端子パッド26の面積よりも皆小さい。シール領域127及びその内側領域の研磨レートが略平等化する傾向で進行するので、画素領域20及びシール領域127の残膜厚バラツキが抑制される。特に、4部位のシール四隅部127aのうちでも、シール領域127の下辺の左右隅部に予め粗さを付与した意義は大きいと言える。

【0092】シール四隅部127Cに密度の低い分布の小分けダミーパターンaを設けた基板において、第3の層間絶縁膜13の表面をCMP処理すると、シール領域127の辺部の平坦に近い起伏に比し四隅部127Cの初期研磨レートが速くなるため、これに引きずられる形で四隅部127aの4部位で囲まれたシール領域127及びその内側領域の研磨レートが略平等化する傾向で進行するので、画素領域20及びシール領域127の残膜厚バラツキが抑制される。特に、4部位のシール四隅部127aのうちでも、シール領域127の下辺の左右隅部に予め粗さを付与した意義は大きいと言える。

【0093】ここで、シール四隅部127Cにおける複数の小分けダミーパターンaの島状面積を略等しくし、均等分散のないランダムに分布していると仮定し、パターン密度(単位面積においてダミーパターンの面積の総和が占める割合)を低くすることは、ダミーパターンaの間が空くので小分けダミーパターンaが粗く分布する。このため、第3の層間絶縁膜13の初期研磨レートはシール四隅部127Cの周辺に比べて速くなり、シール四隅部127Cの境界部分が速く勾配面となり易くなる。この勾配面は除々に研磨されて内方へ波及する。パターン密度が同じ場合、小分けダミーパターンaの数を減らし、面積を大きくすると、孤立高の傾向が強くなり、初期研磨レートは速くなる。このため、シール四隅部127Cの境界部分は速く勾配面となり易く、上記と同等に、この勾配面は除々に研磨されて内方へ波及する。本例では、シール四隅部127Cの初期研磨レートをその周囲よりも高めるダミーパターン分布を採用することにより、4部位のシール四隅部127Cで囲まれたシール領域127の辺部や画素領域20での残膜厚を基準たるシール四隅部127Cの残膜厚に引きずられて合わせ易くなる。シール領域127及び画素領域20の平坦制御化が実現されている。

【0094】図11に示すように、シール四隅部127Cでは、シール辺の左右辺には縦方向に離散配列した複数の短冊状小分けダミーパターンaが隣接しており、シール辺の上下辺には横方向に離散配列した複数の短冊状小分けダミーパターンaが隣接している。縦方向の短冊状小分けダミーパターンaの存在はその長辺部分(縦方向部分)で初期研磨レートが最も速いのでシール上下辺隔においてそれぞれ縦横方向に揃えて分散的に数き詰められており、50%以下のパターン密度になっている。小分けダミーパターンaの存在はその長辺部分(縦方向部分)で初期研磨レートが最も速いのでシール左右辺方向の平坦化が、入力端子パッド26の面積よりも皆小さい。シール領域127及びその内側領域の研磨レートが略平等化する傾向で進行するので、画素領域20及びシール領域127の残膜厚バラツキが抑制される。特に、4部位のシール四隅部127aのうちでも、シール領域127の下辺の左右隅部に予め粗さを付与した意義は大きいと言える。

OUT がそのまま擬似データ線 7₀として利用されている

【0103】擬似画素凹凸パターンPが基板の縦横2次元方向に、凸Pの構成要素にフェイルド酸化膜3に開けた2つの開元方向に繰り返して展開されて形成されているが、本例で図21の開口部に見立てた擬似開口部やプラグ貫通用開口部12aは擬似画素凹凸パターンPの行列は画素領域20の行列の並びに見立てた擬似プラグ貫通用開口部を形成を含ませてもとは若干食い違っている。データ線駆動回路21、画素部20の良好な開口プロセス採用ができるので工数追加を招かず、画信号サンプリング回路24、及びゲート線駆動回路22、画素領域20の外側に一層リアルな擬似画素凹凸パターンR、22L等の周辺回路領域の素子レイアウトや信号配線を形成でき、画素領域20及びシール領域227の更なる線Leadのレイアウトを設計変更することで、擬似画素を含む平坦化を実現できる。

【0104】このような擬似画素凹凸パターンPを具える基板331では、CMP処理前の第3の層間絶縁膜13の画素領域20以外の表面にも、画素の表面凹凸模様と殆ど類似の表面凹凸模様が空間周期的に広がっているため、研磨レートが初期から基板331のどの部分でも略等しくなり、少なくとも画素領域20及びシール領域227では高精度の表面平坦性を実現できる。

【0106】これらの図から判るように、画素領域20及びシール領域227（シール四隅部227Cを含む）での最大膜厚差は約850Åであり、基板全体での最大膜厚差は約950Åであった。画素領域20及びシール領域227での平坦性は充分であった。なお、入力端子パッド26の周囲領域では多少研磨不足きみであるが、この条件（分布の規則性、突起形状、突起配列、突起配置など）にも起因しているため、判然としない。ただ、実際のCMP処理では砥液が画素領域20の凹凸の規則的分布によりある程度規則的な流動分布を引き起こしているものと考えられるため、非画素領域でも同様な流動分布となるように工夫する必要もある。

【01-07】画素での凹凸形状模様に影響する構成要素とされるので、この入力端子パッド26を含む領域が最高研
としては、フィールド酸化膜3に開けた2つの開口部、パッドとなる。ところが、画素領域20では画素凹凸

最下層配線のゲート線4、第1のメタル層のデータ線7、ソース電極配線7a及び中継配線10、第2のメタル層の遮光膜12やプラグ貫通用開口部12aである。本例の擬似画素凹凸パターンPでは、最下層配線のゲート線4のパターンが縦横2次元にマトリクス状に展開された明瞭な空間周期性を呈している。従って、画素領域20の凹凸分布には、画素凹凸パターンの空間周期性という高次の規則性と画素凹凸パターン内の低次の規則性とから成

る。また、本発明は、図10(a)に示すように、中継端子パッドとその周囲に配置

されたダミーパターンとの間隔が、配線とその近傍のダミーパターン(以下、擬似画素凹凸パターン)を形成した構成を採用できる。研磨ミューパターンとの間隔よりも広く設定されている場合、研磨処理前の層間絶縁膜の画素領域以外の表面にも、画素の中継端子パッド上では通常銀ペーストで導通が図られるように表面凹凸模様と殆ど類似の表面凹凸模様が広がっているようになっているが、銀ペーストが中継端子パッドから離れるため、研磨処理が初期から基板のどの部分でも略等し若干はみ出しても、その近傍のダミーパターンにショール領域となり、密着性も画素領域及びシール領域では高精度とし難くなる。

【0121】(6) 端子パッドの近傍域に限らず、画素領域の周囲を取り囲むシール領域に、ダミーパターンを画素領域上に2次元方向に繰返し展開形成した構成で形成されている場合、その部分の研磨処理前の層間絶縁膜の表面は画素領域のそれと略同等になるので、研磨処理によって平坦化を行う際、画素領域はその周辺部まで均等なレートで研磨が進行する。このため、従前に比べ画素領域の平坦性が一層良好となり、反射率が向上するだけでなく、研磨後のコンタクトホールのエッチング時間が決定し易くなる。

【0122】(7) 更に、ダミーパターンをシール領域及びシール領域での層間絶縁膜を高精度に平坦化で領域の外周部にも設けることにより、この領域はシール領域部分の土層の層間絶縁膜の表面のレベルと同等になる。従って研磨した場合、シール領域の層間絶縁膜表面が勾配面となることはなく、シール材の密着性を改善することができる。

【0123】(8) シール領域のダミーパターンがスイッチング素子の制御配線層と同層で孤立したパターンとして積み足されて成る場合、研磨処理の層間絶縁膜の表面レベルの平坦化を更に微細に調節できる。

【0124】(9) そして、画素領域の周辺に配置されたスイッチング素子に信号を供給する駆動回路の近傍領域に、ダミーパターンを積み重ねて成る場合、研磨処理の層間絶縁膜の平坦化等に役立つ。

【0125】(10) 更に、本発明においては、画素領域を取り囲むシール領域の隅部領域には、シール領域の辺領域又は当該隅部の周辺領域よりも密度の低い分布でダミーパターンが形成されている。このため、シール四隅部における研磨前の層間絶縁膜の表面は離散的な複数のダミーパターンによる凹凸が反映した面粗さを呈しており、研磨処理を施すと、シール領域の辺部の平坦に近い起伏に比し四隅部の初期研磨レートが速くなるため、これに引きずられる形で四隅部で囲まれたシール領域内側の研磨レートが略平等化する傾向で進行し、画素領域及びシール領域の残膜厚バラツキが抑制される。

【0126】(11) また、シール四隅部において全くダミーパターンがない(パターン密度ゼロ)場合でも、隅部領域が落ち込みその境界部分が立ち上がっているため、研磨初期ではその境界部分が勾配面となり、その勾配面が次第に内方へ波及する。

【0127】従って、画素領域及びシール領域の全体的な平坦化を得ることができる。

【0128】(12) そしてまた、本発明においては、非画素領域に連続拡張面(いわゆるベタ)のダミーパターンを形成するのではなく、画素の凹凸を模した複数の擬

似画素凹凸パターンを形成した構成を採用できる。研磨処理前の層間絶縁膜の画素領域以外の表面にも、画素の表面凹凸模様と殆ど類似の表面凹凸模様が広がっているようになっているが、銀ペーストが中継端子パッドから離れるため、研磨処理が初期から基板のどの部分でも略等し若干はみ出しても、その近傍のダミーパターンにショール領域となり、密着性も画素領域及びシール領域では高精度とし難くなる。

【0129】(13) 複数の擬似画素凹凸パターンを非画素領域の周囲を取り囲むシール領域に、ダミーパターンを画素領域上に2次元方向に繰返し展開形成した構成で形成されている場合、その部分の研磨処理前の層間絶縁膜の表面は画素領域のそれと略同等になるので、研磨処理によって平坦化を行う際、画素領域はその周辺部まで均等なレートで研磨が進行する。このため、従前に比べ画素領域の平坦性が一層良好となり、反射率が向上するだけでなく、研磨後のコンタクトホールのエッチング時間が決定し易くなる。

【0130】(14) 更に、ダミーパターンをシール領域及びシール領域での層間絶縁膜を高精度に平坦化で領域の外周部にも設けることにより、この領域はシール領域部分の土層の層間絶縁膜の表面のレベルと同等になる。従って研磨した場合、シール領域の層間絶縁膜表面が勾配面となることはなく、シール材の密着性を改善することができる。

【0131】(15) シール領域のダミーパターンがスイッチング素子の制御配線層と同層で孤立したパターンとして積み足されて成る場合、研磨処理の層間絶縁膜の表面レベルの平坦化を更に微細に調節できる。

【0132】(16) そして、画素領域の周辺に配置されたスイッチング素子に信号を供給する駆動回路の近傍領域に、ダミーパターンを積み重ねて成る場合、研磨処理の層間絶縁膜の平坦化等に役立つ。

【0133】(17) 更に、本発明においては、画素領域を取り囲むシール領域の隅部領域には、シール領域の辺領域又は当該隅部の周辺領域よりも密度の低い分布でダミーパターンが形成されている。このため、シール四隅部における研磨前の層間絶縁膜の表面は離散的な複数のダミーパターンによる凹凸が反映した面粗さを呈しており、研磨処理を施すと、シール領域の辺部の平坦に近い起伏に比し四隅部の初期研磨レートが速くなるため、これに引きずられる形で四隅部で囲まれたシール領域内側の研磨レートが略平等化する傾向で進行し、画素領域及びシール領域の残膜厚バラツキが抑制される。

【0134】(18) また、シール四隅部において全くダミーパターンがない(パターン密度ゼロ)場合でも、隅部領域が落ち込みその境界部分が立ち上がっているため、研磨初期ではその境界部分が勾配面となり、その勾配面が次第に内方へ波及する。

【0135】従って、画素領域及びシール領域の全体的な平坦化を得ることができる。

【0136】(19) そしてまた、本発明においては、非画素領域に連続拡張面(いわゆるベタ)のダミーパターンを形成するのではなく、画素の凹凸を模した複数の擬

似画素凹凸パターンを形成した構成を採用できる。研磨処理前の層間絶縁膜の画素領域以外の表面にも、画素の表面凹凸模様と殆ど類似の表面凹凸模様が広がっているようになっているが、銀ペーストが中継端子パッドから離れるため、研磨処理が初期から基板のどの部分でも略等し若干はみ出しても、その近傍のダミーパターンにショール領域となり、密着性も画素領域及びシール領域では高精度とし難くなる。

【0137】(20) 複数の擬似画素凹凸パターンを非画素領域の周囲を取り囲むシール領域に、ダミーパターンを画素領域上に2次元方向に繰返し展開形成した構成で形成されている場合、その部分の研磨処理前の層間絶縁膜の表面は画素領域のそれと略同等になるので、研磨処理によって平坦化を行う際、画素領域はその周辺部まで均等なレートで研磨が進行する。このため、従前に比べ画素領域の平坦性が一層良好となり、反射率が向上するだけでなく、研磨後のコンタクトホールのエッチング時間が決定し易くなる。

【0138】(21) 更に、ダミーパターンをシール領域及びシール領域での層間絶縁膜を高精度に平坦化で領域の外周部にも設けることにより、この領域はシール領域部分の土層の層間絶縁膜の表面のレベルと同等になる。従って研磨した場合、シール領域の層間絶縁膜表面が勾配面となることはなく、シール材の密着性を改善することができる。

【0139】(22) シール領域のダミーパターンがスイッチング素子の制御配線層と同層で孤立したパターンとして積み足されて成る場合、研磨処理の層間絶縁膜の表面レベルの平坦化を更に微細に調節できる。

第3の層間絶縁膜の残膜厚が約12000ÅになるまでCMP処理を施した液晶パネル用基板における研磨後の第3の層間絶縁膜の膜厚分布を示す等膜厚線図である。

【図14】本発明の実施形態3に係る反射型液晶パネル用基板においてシール領域の四隅部の近辺を示す部分平面図である。

【図15】図14中のC-C'線に沿って切断した状態を示す断面図である。

【図16】実施形態3において第3の層間絶縁膜を膜厚約24000Åで成膜した後、その画素領域の中心部の第3の層間絶縁膜の残膜厚が約12000ÅになるまでCMP処理を施した液晶パネル用基板における研磨後の第3の層間絶縁膜の膜厚分布を示す等膜厚線図である。

【図17】反射型液晶パネルをライティングデバイスとして用いた投写型表示装置の一例としてビデオプロジェクタを示す概略構成図である。

【図18】反射型液晶パネルを示す断面図である。

【図19】従来の反射型液晶パネルに用いる反射型液晶パネル用基板を示す平面図である。

【図20】図19の反射型液晶パネル用基板の画素領域を示す部分平面図である。

【図21】図13中のA-A'線に沿って切断した状態を示す切断図である。

【図22】図12中のB-B'線に沿って切断した状態を示す切断図である。

【図23】図19に示す従来の反射型液晶において第3の層間絶縁膜を膜厚約24000Åで成膜した後、その画素領域の中心部の第3の層間絶縁膜の残膜厚が約12000ÅになるまでCMP処理を施した液晶パネル用基板における研磨後の第3の層間絶縁膜13の膜厚分布を示す等膜厚線図である。

【図24】図23の従来例、図10の実施形態1、図13の実施形態2及び図16の実施形態3において、a-a'線に沿うシール左辺縦方向の残膜厚の分布をそれぞれ示すグラフである。

【図25】図23の従来例、図10の実施形態1、図13の実施形態2及び図16の実施形態3において、b-b'線に沿う画素中央縦方向の残膜厚の分布をそれぞれ示すグラフである。

【図26】図23の従来例、図10の実施形態1、図13の実施形態2及び図16の実施形態3において、c-c'線に沿うシール上辺横方向の残膜厚の分布をそれぞれ示すグラフである。

【図27】図23の従来例、図10の実施形態1、図13の実施形態2及び図16の実施形態3において、d-d'線に沿う画素中央横方向の残膜厚の分布をそれぞれ示すグラフである。

【図28】図23の従来例、図10の実施形態1、図13の実施形態2及び図16の実施形態3において、e-e'線に沿う画素中央横方向の残膜厚の分布をそれぞれ

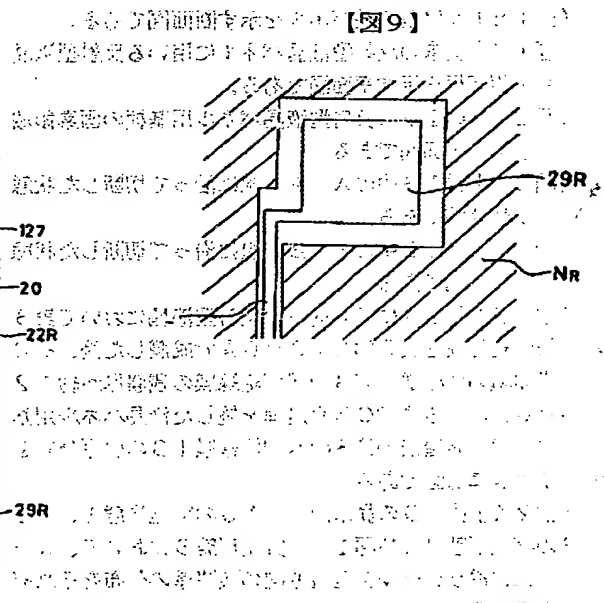
示すグラフである。

【符号の説明】

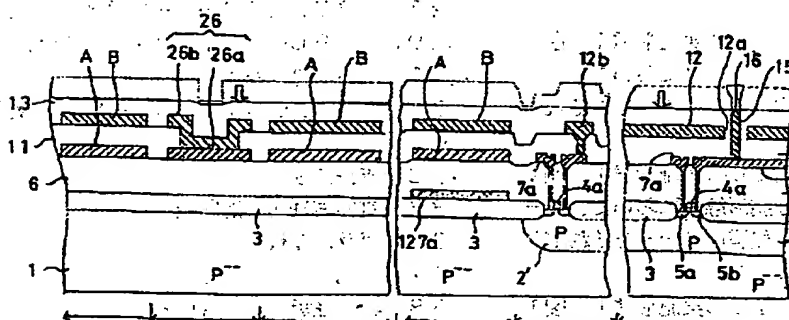
- 1…P型半導体基板
- 2, 21'…P型ウェル領域
- 3…フィールド酸化膜
- 4…ゲート線
- 4a…ゲート電極
- 4b…ゲート絶縁膜
- 4p…擬似ゲート線
- 5b…N⁺型ドレイン領域
- 6…第1の層間絶縁膜
- 6a, 6b, 6c, 16…コンタクトホール
- 7…データ線
- 7a…ソース電極配線
- 7p…擬似データ線
- 7a_p…擬似ソース電極配線
- 8…P型容量電極領域
- 9a…容量電極
- 9b…絶縁膜(誘電膜)
- 10…中継配線
- 11…第2の層間絶縁膜
- 12…遮光膜
- 12a…プラグ貫通用開口部
- 12b…接続用配線
- 12p…擬似遮光膜
- 13…第3の層間絶縁膜
- 14…画素電極
- 15…接続プラグ(層間導電部)
- 17…パッシベーション膜
- 20…画素領域(表示領域)
- 21…データ線駆動回路(Xドライバ)
- 22R, 22L…ゲート線駆動回路(Yドライバ)
- 23…プリチャージ及びテスト回路
- 24…画像信号サンプリング回路
- 25…遮光膜
- 26, 26'…入力端子パッド
- 26a…下層
- 26b, 26b'…上層
- 27, 127, 227…シール領域
- 29R, 29L…中継端子パッド(銀点)
- 30…反射型液晶パネル
- 31, 131, 231, 331…反射型液晶パネル用基板
- 32…支持基板
- 33…対向電極(共通電極)
- 35…ガラス基板
- 37…液晶
- 38…異方性導電膜(ACF)
- 38a…導電性粒子
- 38b…接着用絶縁樹脂材

- 500…複写光学系
 600…マスク用光線
 D₀…複写光学系光軸
 A…下屈折率領域
 B…上屈折率領域
 a…小分けダミーパターン
 X、Y…行方向領域
 W…行方向配線領域
 L_{IN}、L_{OUT}…配線
 M₁、M₂…配線間ダミーパターン
 N₁、N₂…ダミーパターン
 S₀、S₁…配線S₂…小分けダミーパターン
 P…擬似画素凹凸パターン

【图9】

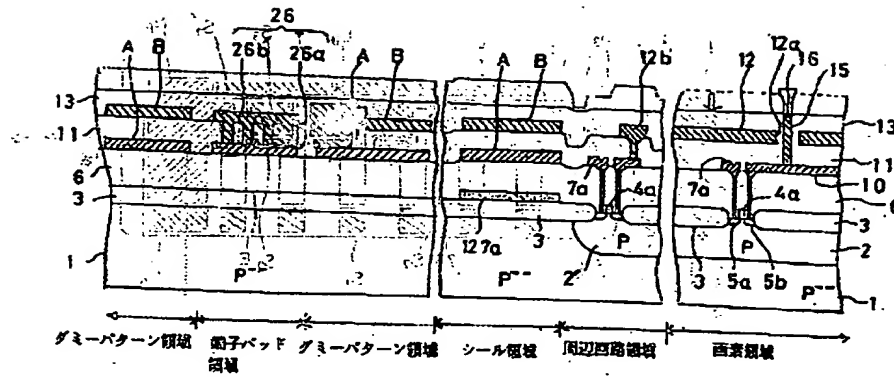


【图2】

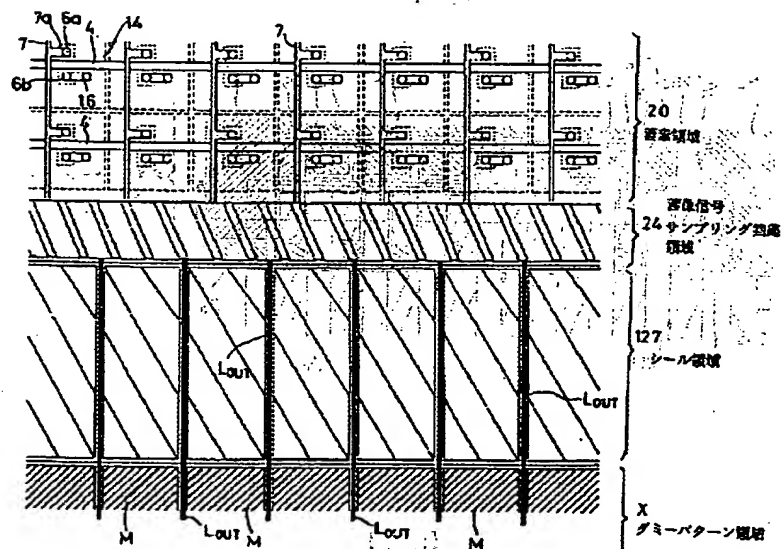


ダミーパターン領域 端子パッド ダミーパターン領域 シール領域 周辺回路領域 図面領域

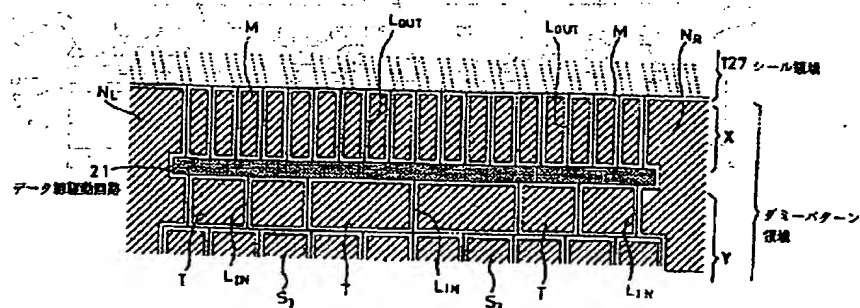
【図3】



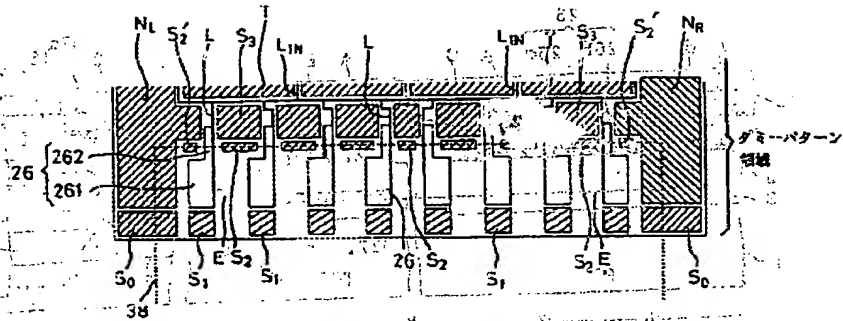
【図4】



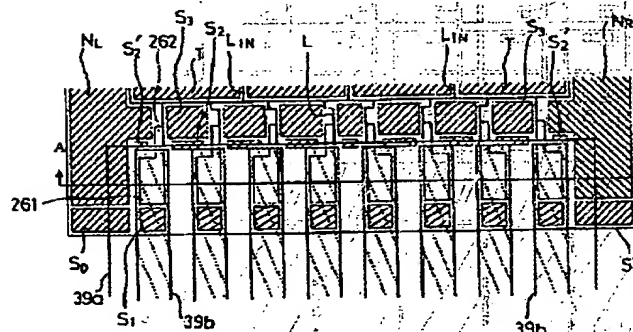
【図5】



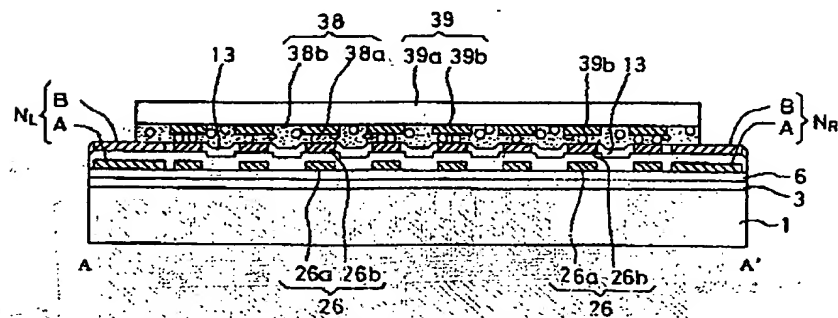
【図6】



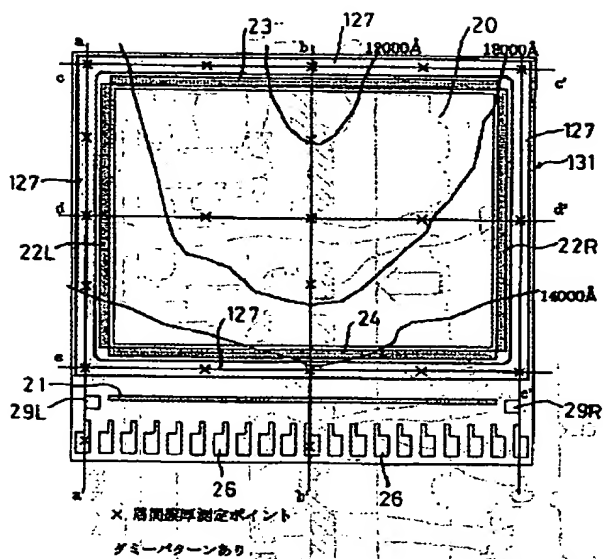
【図7】



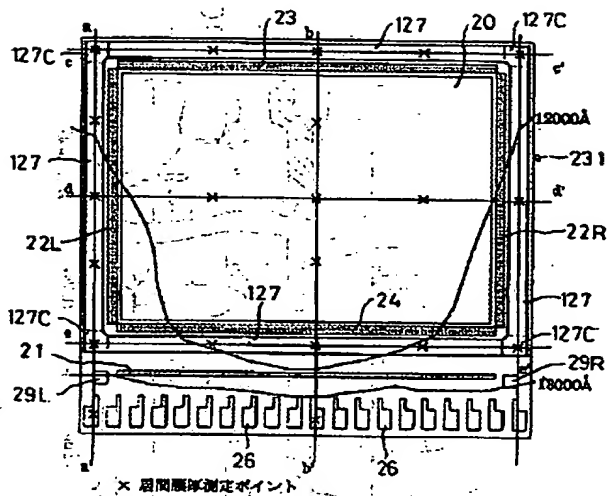
【図8】



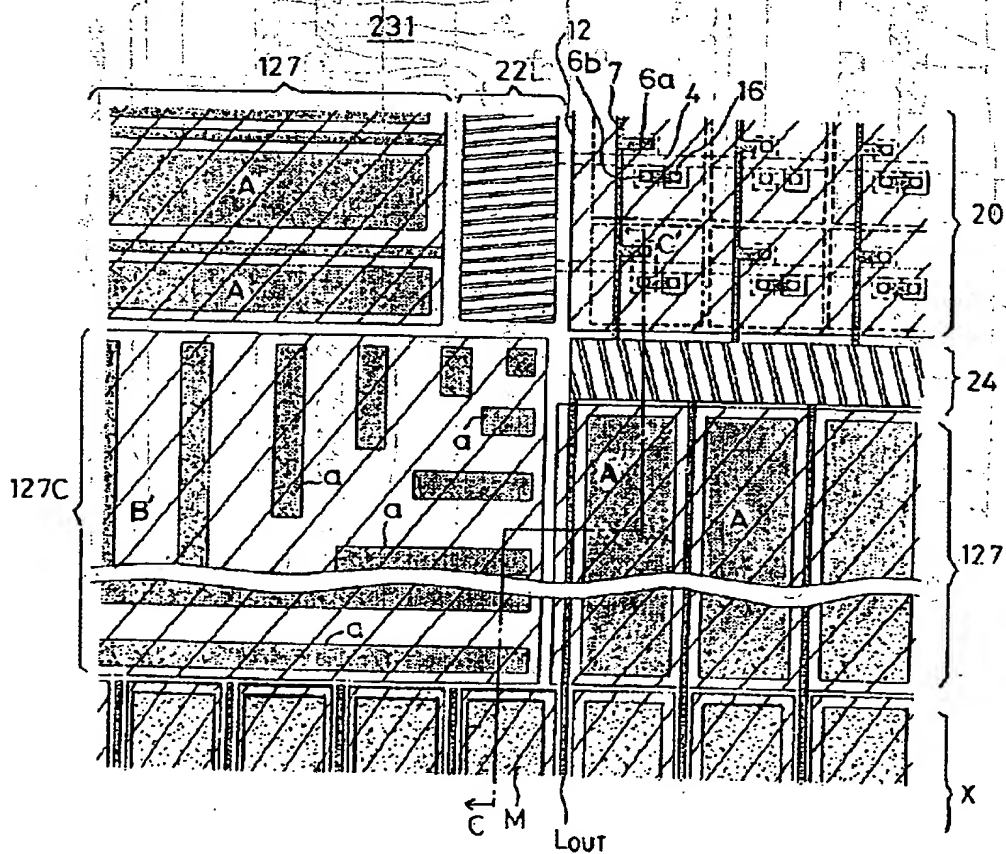
【図10】



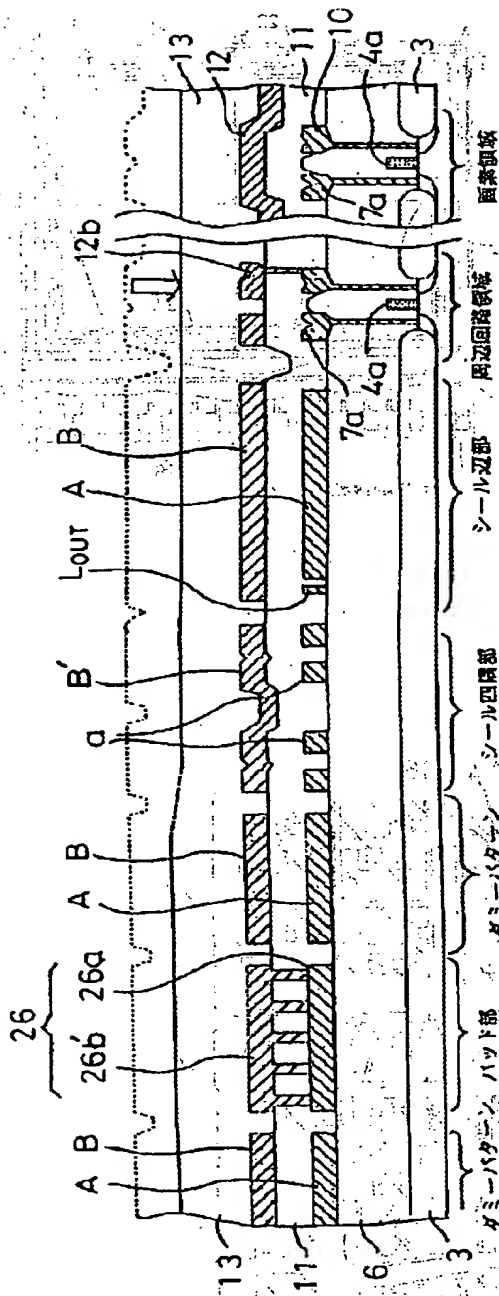
【図13】



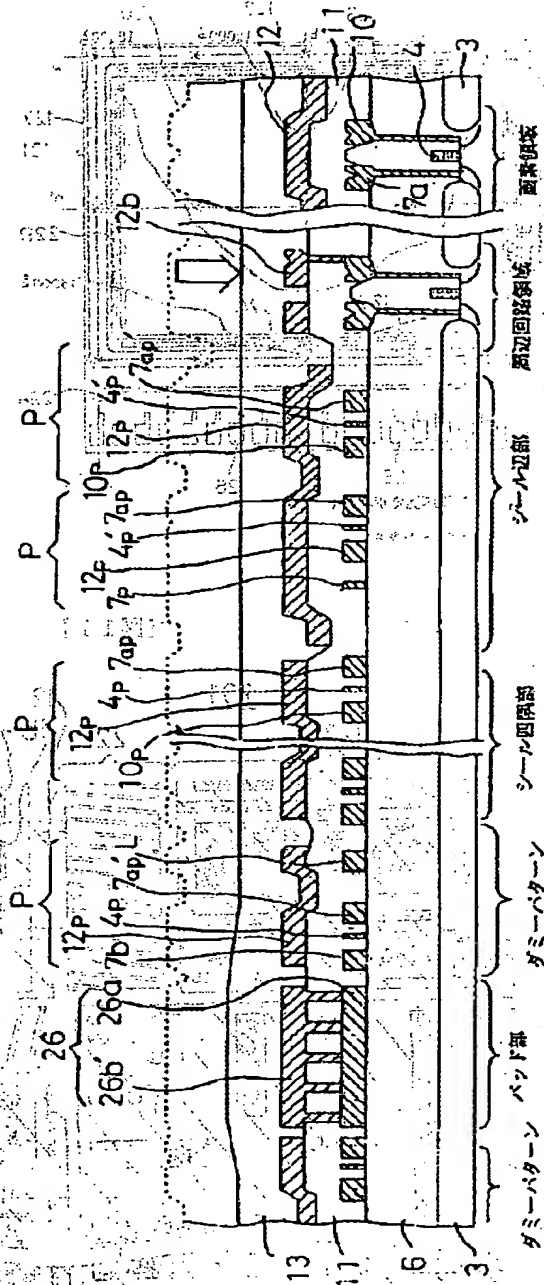
【図11】



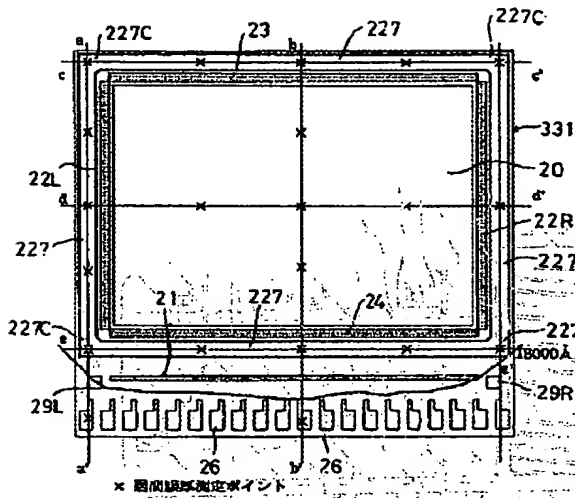
【図12】



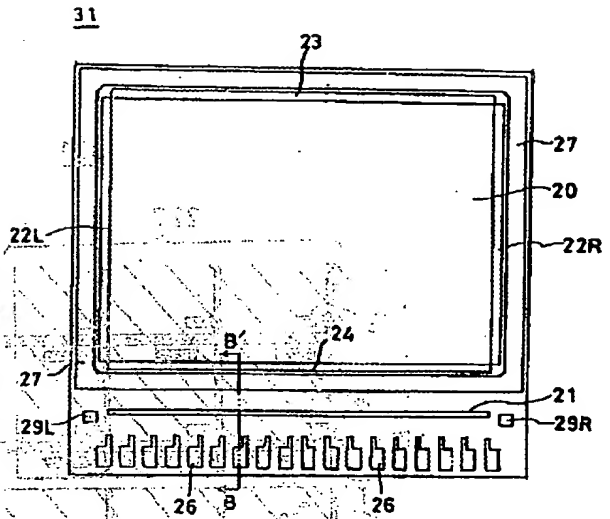
【図15】



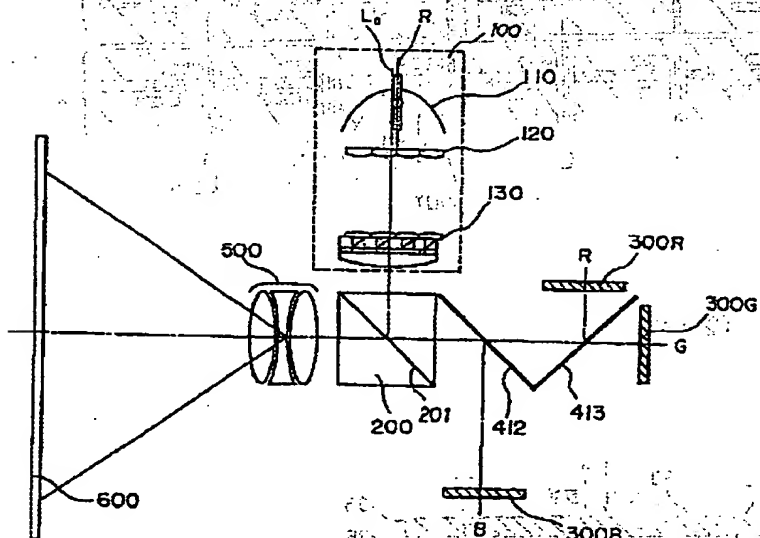
【図16】



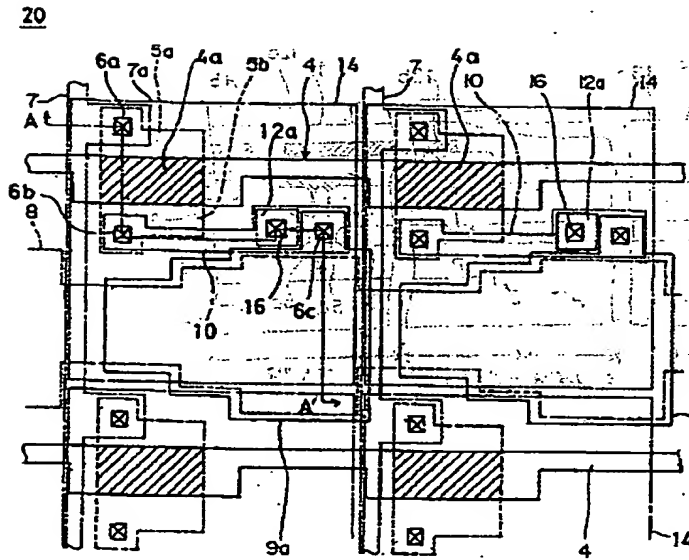
【図19】



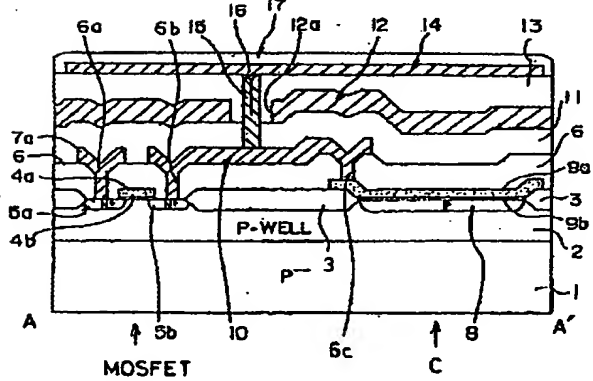
【図17】



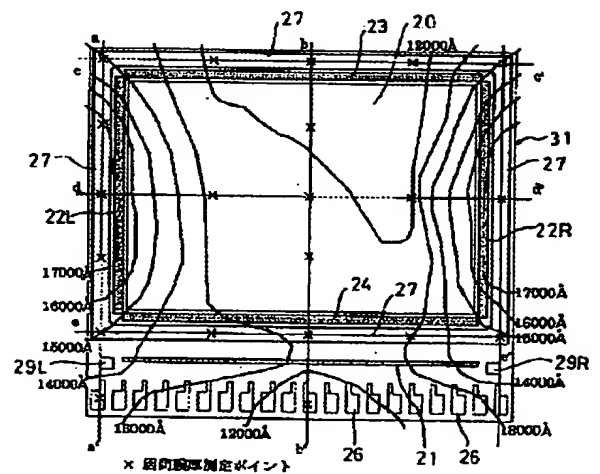
【図20】



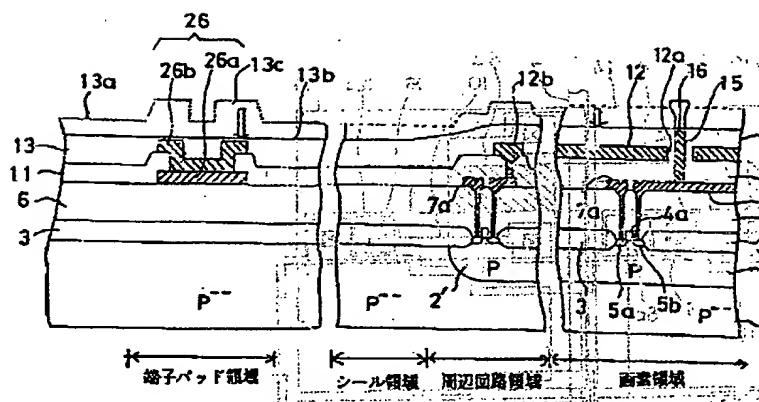
【図21】



【図23】

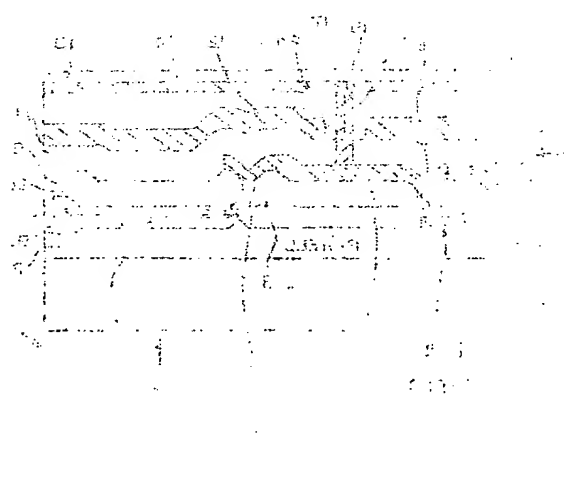
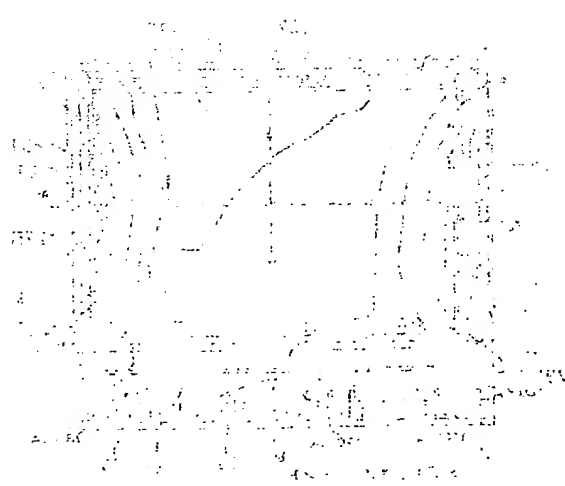


【図22】 (OS図)

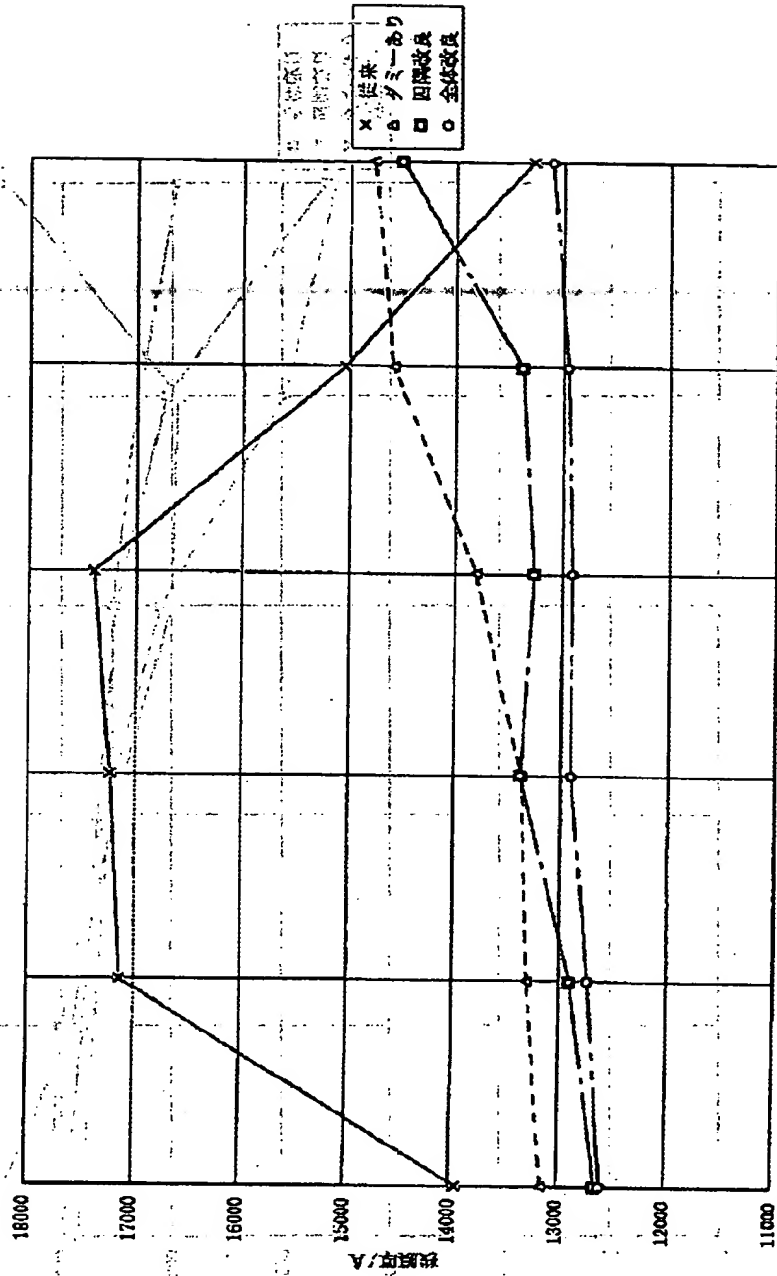


【図23】

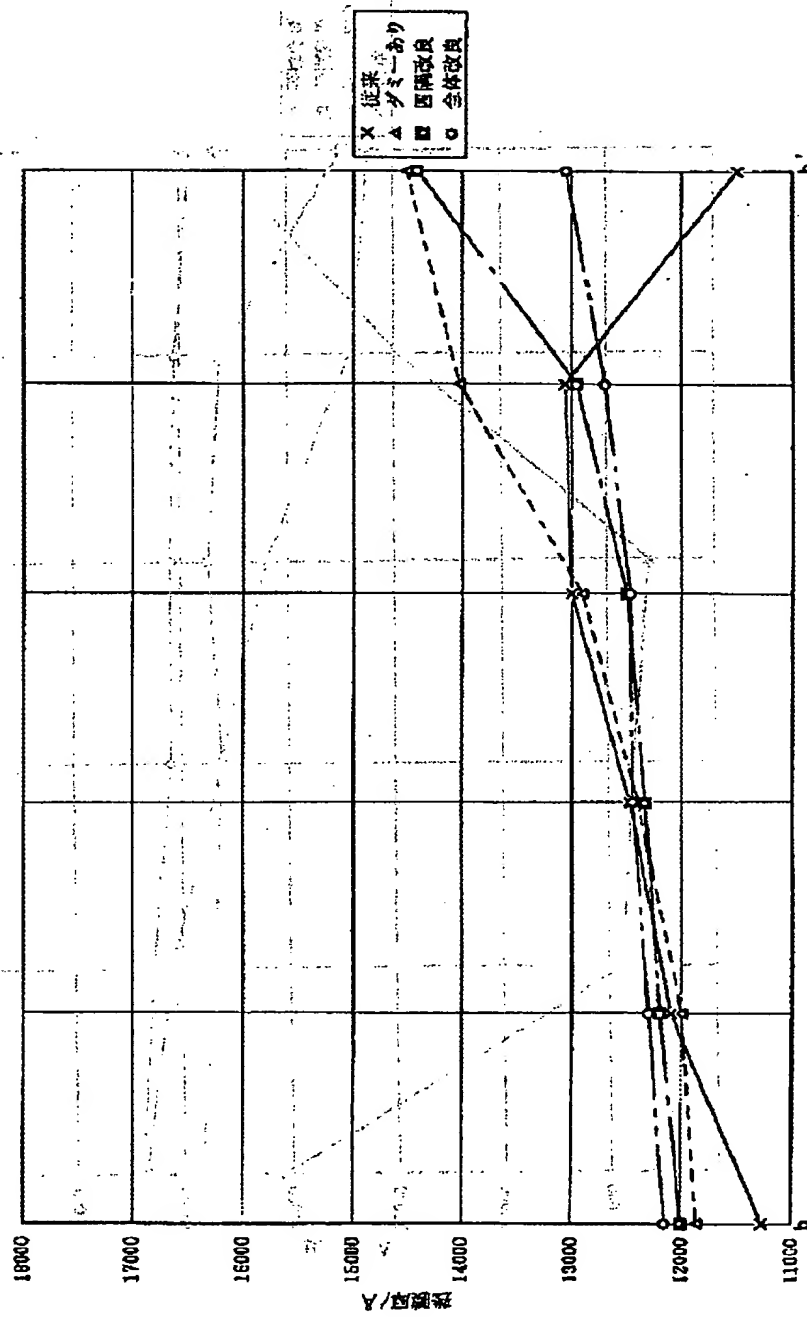
【図24】



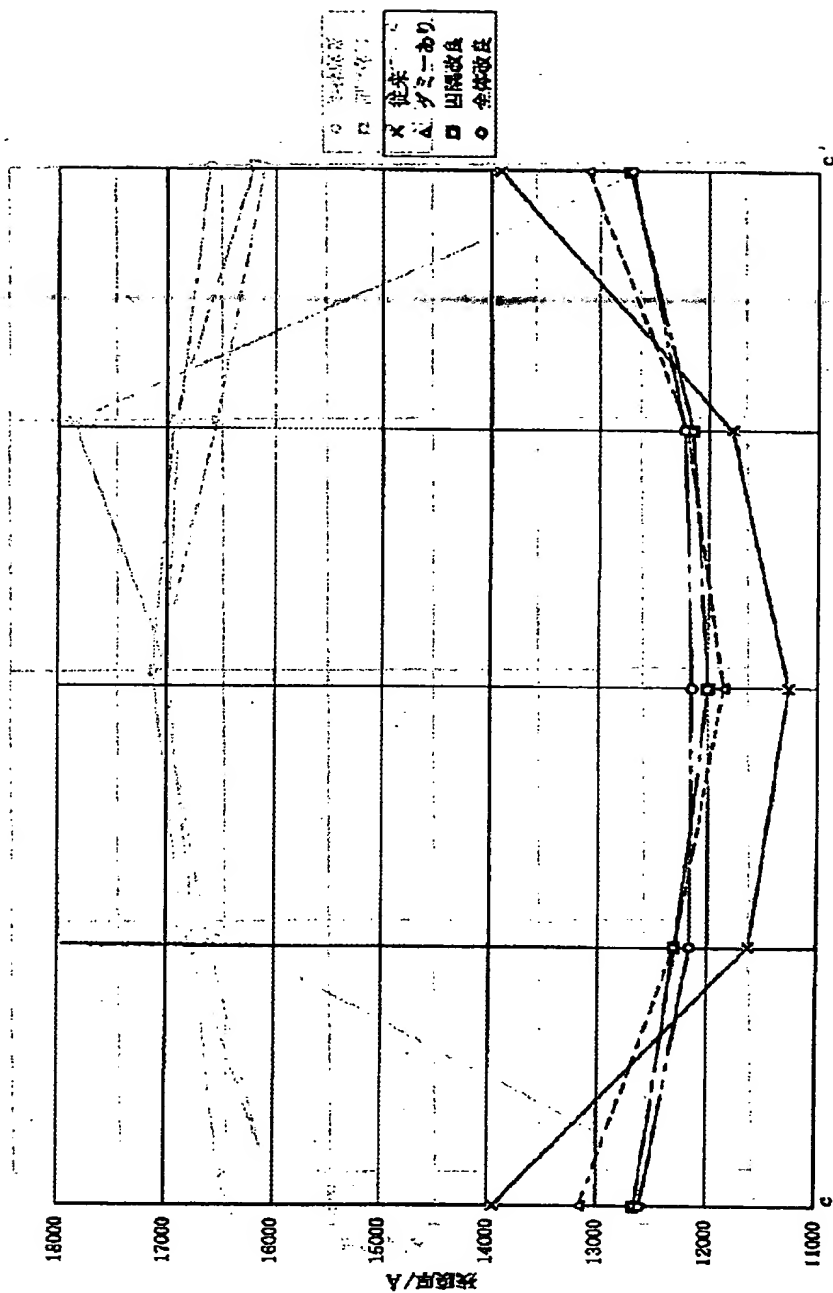
【図24】



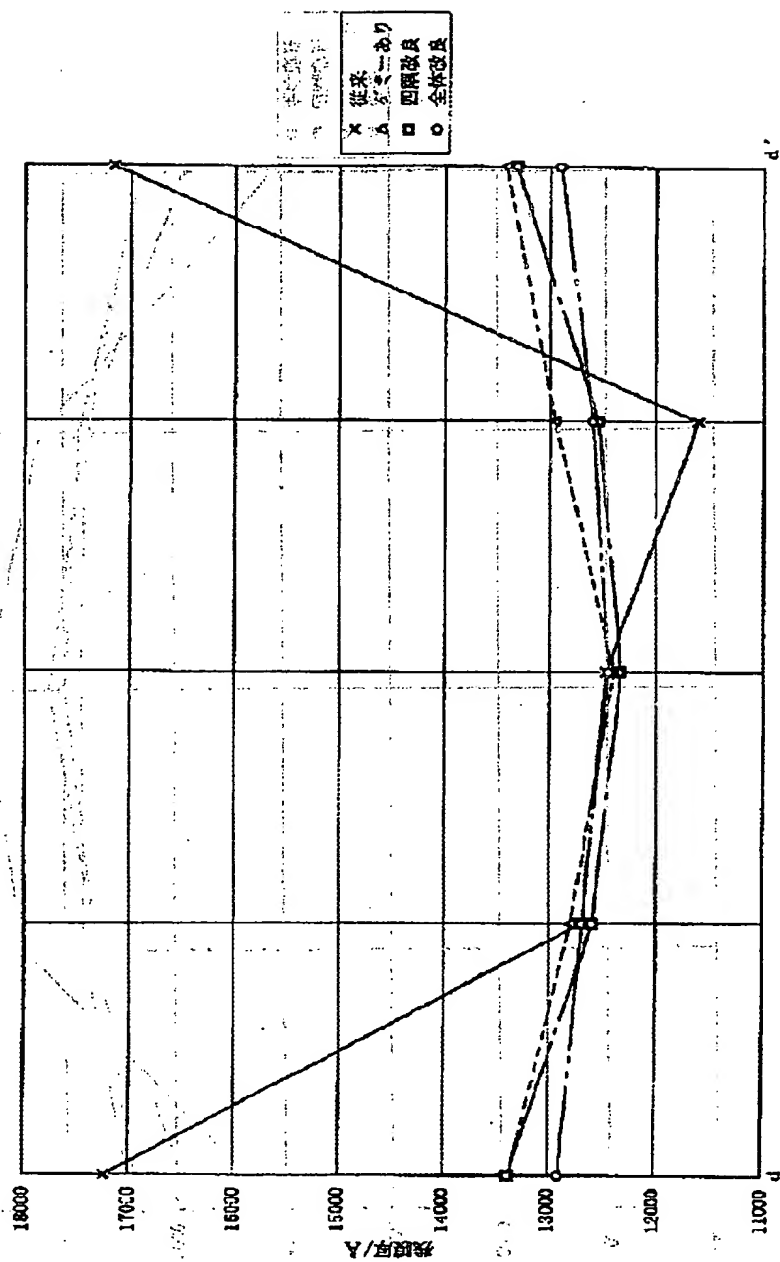
【図25】



【図26】



【図27】



【図28】

